

РАСПРЕДЕЛЕННЫЕ АНАЛОГО-ЦИФРОВЫЕ РЕКОНФИГУРИРУЕМЫЕ СИСТЕМЫ ОБРАБОТКИ БОЛЬШИХ ОБЪЕМОВ ИНФОРМАЦИИ НА ПЛАСТИЧНЫХ ФУНКЦИОНАЛЬНЫХ ЭЛЕМЕНТАХ СО ВСТРОЕННОЙ ПАМЯТЬЮ

Алюшин А.В.¹, Архангельский В.Г.², Алюшин С.А.³

¹Национальный исследовательский ядерный университет «МИФИ»
avalyushin@mail.ru

²Федеральное государственное автономное научное учреждение ЦИТиС
citis@arkhang.ru

³ООО «Глоубайт консалтинг»
sergeyalyushin@gmail.com

Аннотация: Проведен анализ направлений развития крупномасштабных систем обработки информации. Показано, что реализация всех совокупных потенциальных возможностей перспективных архитектурных решений основывается на новых технологических, схемотехнических и топологических базисах гибридных технологий совмещения аналого-цифровых элементов со встроенной памятью и стандартных схем CMOS.

Ключевые слова: реконфигурируемые системы, мемристивные элементы, масштабирование.

Введение

Основными направлениями развития крупномасштабных реконфигурируемых систем обработки информации (КРСОИ) являются:

- количественное масштабирование классической архитектуры фон Неймана, параллельно работающих вычислительных средств, распределенная обработка данных на многоядерных структурах, репликация вычислительных ядер и структур нижнего уровня иерархии для создания однородных и неоднородных крупномасштабных вычислительных сред [1, 2];
- качественное «масштабирование», повышение уровня пространственной интеграции структуры хранения данных и структуры обработки данных, уровня функциональности локальной обработки данных [3];
- интеллектуализация обработки данных на всех уровнях иерархии распределенной системы, отражение свойств биологических нейронных сетей в архитектуре искусственных когнитивных систем [4];
- реализация свойств реконфигурируемости, адаптивности, пластичности структуры [1];
- реализация свойств самоорганизации и кластеризации распределенной вычислительной структуры [5];
- рациональное совмещение аналоговой и цифровой форм представления информации [4, 5, 6,7].

Данные тенденции отражают как самостоятельные направления развития, так и отдельные свойства комплексных направлений.

1 Распределенные реконфигурируемые вычислительные системы

1.1 Количественное пространственное масштабирование вычислительной архитектуры

Данный подход к проектированию высокопроизводительных архитектур КРСОИ характеризуется соответствующим 1D, 2D или 3D пространственным расширением всей системы за счет репликации обрабатывающих структур как с классической, так и биологически подобной архитектурой, пропорциональным предельным увеличением интегральной вычислительной производительности и полосы пропускания структур памяти. Однако при этом недостаток классической архитектуры фон Неймана в виде ограниченного по полосе пропускания локального обмена данными между процессором и памятью переносится и на всю распределенную систему многоядерной (много нейронной, нейронной много кластерной) обработки информации в виде ограничений по обмену данными между удаленными узлами системы. Реализация прямых широкополосных связей с малой временной задержкой между любыми двумя вычислительными ядрами системы (нейронными кластерами) при суммарном числе последних более 4-9 в рамках стандартной 2D интегральной технологии становится трудновыполнимой [8]. С ростом масштаба системы обработки данных данная проблема только усугубляется. Быстродействующий параллельный и широкополосный обмен данными становится возможным только на локальном уровне иерархии всей системы [9, 3]. В противном случае необходимо переходить на конвейерную и сетевую обработку информации с большими временными задержками получения результата обработки информации [10]. Крупномасштабные многоядерные архитектуры реализуют свои потенциальные возможности только на соответствующих классах решаемых задач, допускающих эффективное распараллеливание и не требующих интенсивного обмена информацией в пределах всей вычислительной архитектуры с малыми временными задержками. Крупномасштабные биологически подобные когнитивные архитектуры реализуют свои интеллектуальные возможности за счет параллельной распределенной обработки как в однослойных, так и многослойных полностью связанных структурах. Нейроподобные систолические структуры также имеют большую временную задержку принятия решения.

1.2 Качественное пространственное «масштабирование» вычислительной архитектуры КРСОИ

Данный подход характеризуется пространственным сжатием (совмещением) локальных вычислений и, как следствие этого, пространственным «сжатием» и всей распределенной архитектуры системы высокопроизводительной обработки информации:

- сокращением общего числа вычислительных ядер (нейронных кластеров), упрощение структуры общих связей, снижением общей задержки принятия решения;
- локальным преобразованием данных в непосредственной физической близости от каждой структуры или блока памяти,
- внутренним преобразованием данных в самой структуре памяти [10],
- совмещением локальных функций хранения и преобразования данных на одной и той же физической структуре-носителе,
- повышением уровня функциональности локальной обработки данных;
- рациональным совмещением функционально насыщенной аналоговой формы обработки и хранения информации с цифровой.

Примером данного типа цифрового масштабирования является подход PIM (Processing In Memory) [11, 12], широкополосная память со встроенной функциональной обработкой информации [10].

1.3 Интеллектуализация обработки данных на всех уровнях иерархии распределенной КРСОИ

Биологические нейронные системы (БНС) характеризуются высокой вычислительной и энергетической эффективностью в решении трудно формализуемых задач, при обработке многомерных пространственно-временных образов, выявлении тенденций развития процессов, их предсказании, аппроксимации и фильтрации сигналов, при работе в условиях сильной зашумленности и при наличии внутренних и внешних помех. Пластичность БНС обеспечивает

обучение и самообучение, самовосстановление в ответ на изменение условий своего функционирования, взаимодействия с внешней средой [13]. Точность отражения принципов функционирования БНС в структуре искусственных распределенных систем обработки данных и определяет полноту реализации указанных «интеллектуальных» свойств последних.

1.4 Реконфигурируемость архитектуры высокопроизводительной системы

Реконфигурируемость и адаптивность на всех уровнях иерархии высокопроизводительной КРСОИ (пластичность нейроподобных систем) является необходимым условием для ее долговременного и эффективного функционирования и позволяет [1, 14]:

- адекватно отражать условия изменяющейся внешней среды на текущее функционирование и развитие системы (например, электрофизические, радиационные и информационные помехи, новые требования от разработчиков системы и т.п.);
- адекватно реагировать на внутренние условия функционирования системы с целью повышения надежности, отказоустойчивости, точности обработки (отказ элементов, разброс параметров и их температурная и временная нестабильность и т.п.);
- адаптировать структуру системы под используемый алгоритм и структуру обрабатываемых данных для увеличения производительности, полосы пропускания, снижения временной задержки;
- рационально использовать вычислительные и энергетические ресурсы системы.

В координатах пространство-время-функциональность следует выделить следующие типы реконфигурируемости: частичная и полная; непрерывного и дискретного, реального и нереального времени; структурная, топологическая, функциональная; статическая и динамическая.

Динамическая структурная и топологическая реконфигурируемость системы в реальном масштабе времени играет важную роль на верхних уровнях иерархии распределенной КРСОИ и позволяет:

- оперативно адаптировать структуру связей и протоколов обмена информацией, структуру коммуникационных узлов;
- рационально распределять данные и функции преобразования данных между вычислительными ядрами;
- оптимизировать как структуру хранения и обработки данных, так и иерархическую систему связей между ними для адекватного отображения структуры алгоритма обработки данных, структуры самих данных.

На нижнем уровне иерархии КРСОИ преобладающую роль играет структурно-функциональная реконфигурируемость:

- изменение типа функционального, арифметико-логического преобразования, формата данных,
- изменение внутренней организации функционального элемента вычислительного ядра,
- изменение баланса между функциями хранения и функцией обработки информации в каждом функциональном элементе, вычислительном ядре,
- изменение формата хранения данных, внутренней структуры памяти.

Особое место занимает реконфигурируемость формы представления информации в каждом узле функционального преобразования информации – аналоговая, аналого-цифровая, многоуровневая, цифровая. Данный тип реконфигурируемости позволяет изменять и адаптировать функциональность вычислительных ядер в значительно большем диапазоне, по существу является новым измерением в пространстве адаптивных распределенных вычислений. Также он играет особую роль в эффективной реализации пластичных нейросетей на разном уровне иерархии. Однако данный подход требует новых технологических и схемотехнических решений, трудно реализуем в рамках традиционной CMOS технологии.

1.5 Самоорганизация и кластеризация распределенной КРСОИ

Данный процесс носит пороговый характер. Он имеет смысл и возможность протекания на определенном этапе развития крупномасштабной системы при 2D и 3D пространственном масштабировании (см. графическую иллюстрацию на рис. 1, где ВЯ₂ – вычислительная ячейка для 2D масштабирования). Высокая размерность системы является необходимым условием, как для организации высокопроизводительной и сложной интеллектуальной обработки больших объемов данных с одной стороны, так и для самоорганизующегося процесса оптимизации архитектуры системы и ее элементов в изменяющихся условиях внешних и внутренних ограничений [3, 5].

Таким образом, реализации всех совокупных потенциальных возможностей указанных выше тенденций развития высокопроизводительной техники с перспективной архитектурой обработки больших массивов информации требует либо быстрого перехода, либо привлечения и совмещения в виде гибридных технологий (плавный переход) новых технологических, схмотехнических и топологических базисов, особенно на нижнем уровне иерархии всей системы. Основными требованиями к новому технологическому базису КРСОИ являются:

- возможность реализации свойств пластичности на всех уровнях иерархии вычислительной системы;
- высокая степень интеграции и малая потребляемая мощность,
- простота перехода на различные формы представления данных,
- функционально насыщенная локальная обработка информации,
- совмещение функций хранения и обработки данных на одной физической структуре,
- простота совмещения со стандартными интегральными технологиями, например, CMOS.

Данные требования справедливы для всех уровней иерархии системы, например, функциональных элементов, систем их связи и коммуникации.

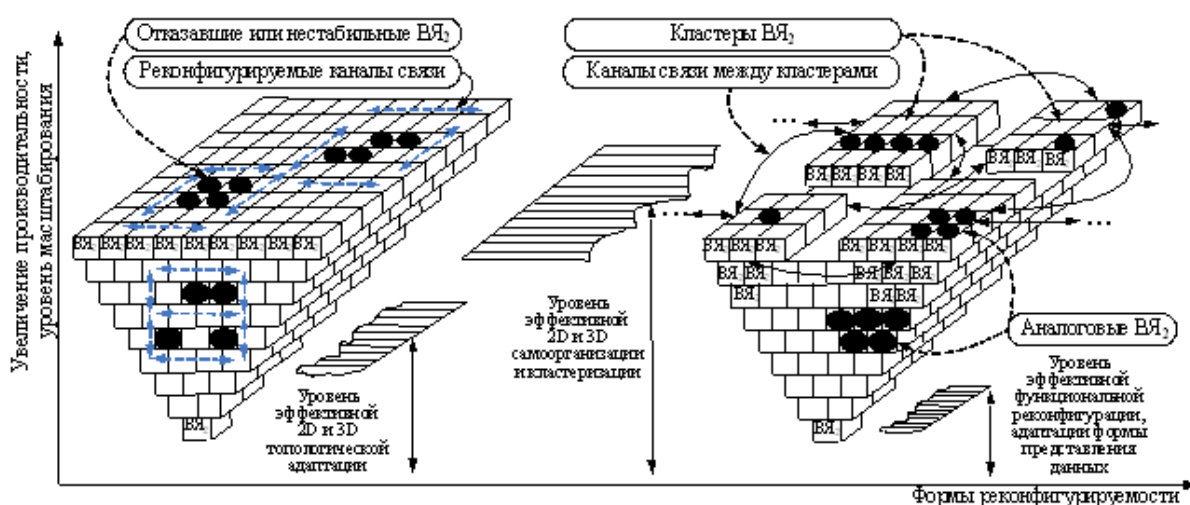


Рис. 1. Графическая иллюстрация порогового характера кластеризации и самоорганизации в распределенной КРСОИ

2 Элементная база пластичных функциональных элементов со встроенной памятью для обработки больших объемов данных

2.1 Физические структуры со встроенной памятью

Перспективной элементной базой для реализации совмещенной обработки сигналов (функция хранения и обработки данных) в крупномасштабных архитектурах являются физические структуры с мемристивными свойствами [15]:

$$(1) \quad \psi = g(X, \chi, t)\psi, \frac{\partial \chi}{\partial t} = f(x, \chi, t),$$

где отклик структуры ψ на входное воздействие χ определяется как самим входным сигналом, так и значением сигнала внутреннего состояния X , функциональными преобразованиями f и g . Для случая двухполюсной мемристивной структуры (классическая модель) [15, 16, 17] двухполюсник характеризуется зависимостью $g(\Phi, Q) = 0$ такой, что для случая функции одной переменной имеем:

- зависимый от заряда мемристор M с Вольт-Амперной характеристикой

$$(2) \quad U_m(t) = M(Q(t_0))I_m(t), M(Q) = \frac{\partial \Phi(Q)}{\partial Q} \geq 0;$$

- зависимый от потокосцепления мемдактор W с Ампер-Вольтной зависимостью

$$(3) \quad I_m(t) = W(\Phi(t_0))U_m(t), W(\Phi) = \frac{\partial Q(\Phi)}{\partial \Phi} \geq 0;$$

где Φ - потокосцепление магнитного поля, Q - электрический заряд, $U_m(t)$ и $I_m(t)$ – соответственно напряжение и ток двухполюсника. Приобретенный опыт функционирования структуры до момента времени t_0 отражается в виде:

– обработанного интегрального потокосцепления магнитного поля

$$(4) \quad \Phi(t_0) = \int_{-\infty}^{t_0} U_m(t) \delta t,$$

– обработанного интегрального электрического заряда

$$(5) \quad Q(t_0) = \int_{-\infty}^{t_0} I_m(t) \delta t.$$

Рассматриваемые мемристивные элементы являются пластичными структурами и сохраняют информацию не в виде заряда или магнитного потока, а в виде внутренней упорядоченной атомной или молекулярной архитектуры (пластичность на нижнем уровне иерархии системы), отражающей предшествующую историю своего функционирования в виде следа от интегрального прошедшего через них заряда или магнитного потока. Адаптивная внутренняя структура мемристивного элемента сохраняет свои физические свойства без внешних источников энергии в течение длительного времени и может быть использована для отображения сохраняемой информации, например, в виде сопротивления или проводимости элемента. Кроме того, нелинейные гистерезисные характеристики мемристивных элементов являются основой для функциональной частотно зависимой обработки сигналов.

2.2 Мемристивность – свойство наноразмерных функциональных элементов

В рамках твердотельного технологического процесса мемристор реализуется в виде полупроводникового слоя толщиной D между двумя слоями металлизации. Высоколегированная область полупроводникового слоя толщиной w имеет низкое омическое сопротивление R_{on} , а низколегированная область – высокое R_{off} . Изменение атомной структуры полупроводника за счет дрейфа заряженных легирующих примесей под действием внешнего напряжения приводит к смещению границы $w(t)$. Классическое описание адаптации мемристора к условиям воздействия внешнего сигнала для случая омической электронной проводимости и линейного дрейфа ионов в однородном поле со средней подвижностью легирующих примесей μ_v основывается на следующих выражениях [15]:

$$(6) \quad U_m(t) = M(Q_m(t))I_m(t) = (R_{on} X(t) + R_{off} (1 - X(t))I_m(t), X(t) = w(t)/D,$$

$$(7) \quad \partial X(t)/\partial t = \partial w(t)/D \partial t = \mu_v (R_{on} / D^2) I_m(t),$$

$$(8) \quad X(t) = \mu_v (R_{on} / D^2) Q_m(t) = R_{on} Q_m(t) / \beta,$$

где $Q_m(t)$ – заряд прошедший через мемристор, $0 \leq w(t) \leq D$, $\beta = D^2 / \mu_v$.

Тогда мемристивность элемента можно представить в виде [15-16]

$$(9) \quad M(Q_m) = R_{on} D R - S Q_m(t),$$

где $DR = R_{off} / R_{on}$ – динамический диапазон мемристора, $S = \partial M(Q_m) / \partial Q_m = (R_{on})^2 (DR - 1) / \beta$ – крутизна (скорость) преобразования (обучения) мемристора. При $DR=1$ имеем $M = R_{off} \neq g(Q_m)$. Представим скорость обучения мемристора в виде $S = (\mu_v (R_{on} / D)^2) (DR - 1)$. Первая составляющая $\mu_v (R_{on} / D)^2$ определяется подвижностью и концентрацией легирующих примесей, толщиной интегральной структуры, вторая составляющая $(DR - 1)$ характеризует диапазон адаптации мемристора, уровень его утечек в выключенном состоянии. При этом большая крутизна преобразования S достигается в первую очередь за счет увеличения μ_v и DR , снижения D .

Для случая линейной модели с однородной проводимостью в объеме мемристора как в выключенном, так и во включенном состоянии имеем $S = (\mu_v (\rho_{on} / s)^2) (\rho_{off} / \rho_{on} - 1)$, где ρ_{on} и ρ_{off} – соответственно удельная проводимость мемристора во включенном и выключенном состояниях, s – площадь мемристивного элемента. Значительное увеличение крутизны преобразования сигналов достигается за счет уменьшения площади мемристора s даже при сохранении электрофизических свойств материала мемристора (ρ_{on} , ρ_{off}), произвольном D .

Таким образом, высокочувствительные мемристорные элементы с большой крутизной преобразования реализуются в микро и особенно наноразмерных топологических структурах, что важно для построения высокоинтегрированных адаптивных систем обработки сигналов с малой удельной потребляемой мощностью.

2.3 Результаты экспериментального исследования элементной базы

Теоретическое и экспериментальное исследование пластичных функциональных элементов со встроенной памятью (мемдакторов) подтвердило их расширенные функциональные возможности по функционально насыщенной локальной адаптивной обработке сигналов, переходу на различные формы представления данных, совмещению функций хранения и обработки данных на одной физической структуре. Например, на рис. 2 представлены результаты теоретического (анализ поведения на основе САПР PSpice [18]) и экспериментального исследования свойств пластичных функциональных элементов со встроенной памятью в качестве элемента нейрноподобной системы в двухполюсном включении для двух режимов работы ($\tau = 16$ мс, $f = 10$ Hz, пять значений начальных условий переходного процесса): малого сигнала (а); большого сигнала (б) [19]. Синаптическая структура нейронной сети характеризуется как внутренней памятью, так и линейной и нелинейной обработкой сигналов:

- в режиме малого сигнала осуществляется линейное преобразование напряжение-ток в соответствии с хранящимся во внутренней памяти значением переменной внутреннего состояния;
- в режиме большого сигнала осуществляется как передача входного сигнала, так и его нелинейное преобразование при соответствующем изменении значения переменной внутреннего состояния на основании правила локального самообучения.

Проведенные исследования подтвердили возможность локального совмещения функций хранения и обработки информации на одной интегральной структуре с диапазоном пластичности в 40 - 80 dB. Эквивалентный объем внутренней памяти аналого-цифрового функционального элемента составил соответственно 7 – 18 бит. Величина данного объема памяти является достаточной для реализации широкого класса линейных и нелинейных функциональных устройств как пластичных аналоговых, так и репрограммируемых цифровых и аналого-цифровых.

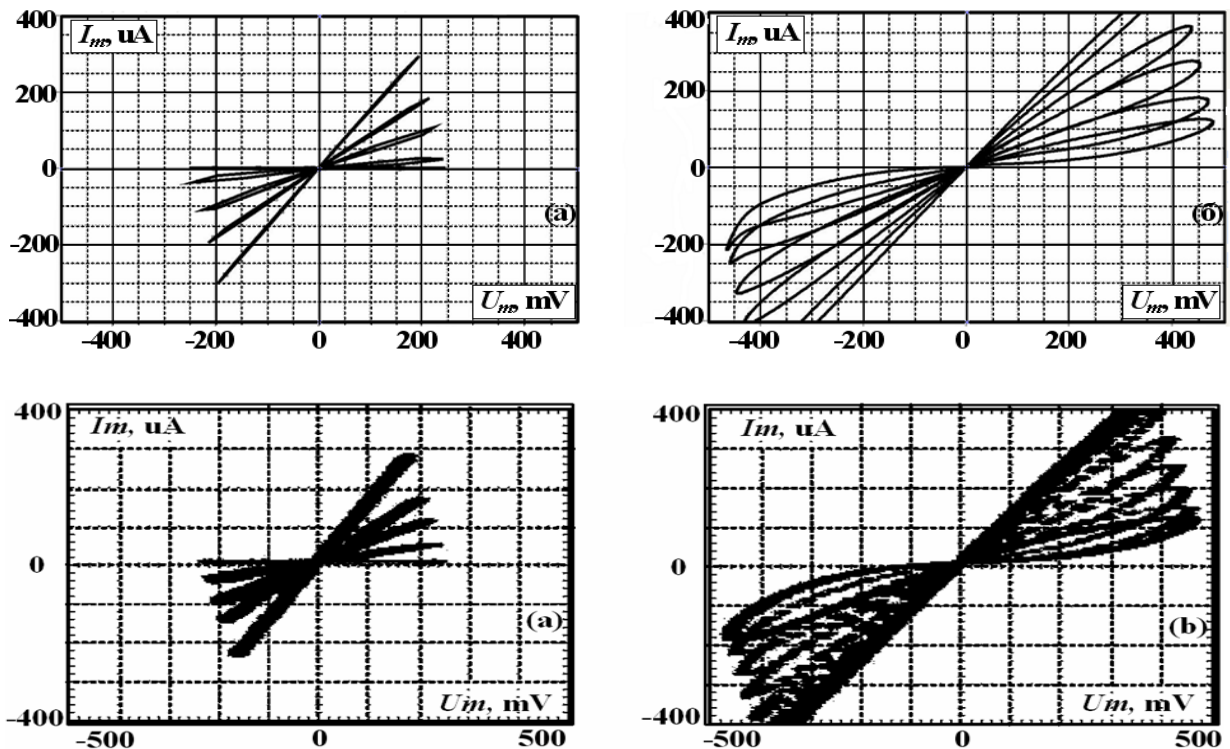


Рис. 2. Адаптивная обработка аналогового сигнала в синаптической структуре

3 Рациональное совмещение аналоговой и цифровой форм представления информации

Вектор развития высокопроизводительных иерархичных распределенных систем интеллектуального анализа и обработки больших массивов информации имеет направленность в сторону повышения степени и пространственной размерности интеграции обрабатывающих функциональных элементов нижнего уровня иерархии с одной стороны, сокращение физических размеров и повышение функциональности последних, с другой стороны (пространственное расширение и пространственное сжатие). Функциональные элементы со встроенной памятью

являются перспективной элементной базой для развития систем обработки данных с перспективной архитектурой даже на самом нижнем уровне их иерархии. При этом вместе с развитием интегральных технологий и переходом к все более малым технологическим нормам форма рационального представления информации претерпевает периодические изменения от аналоговой к аналого-цифровой, цифровой, многоуровневой цифровой, аналоговой и т.д.

3.1 Исторический процесс развития высокопроизводительных систем для интеллектуальной обработки информации

Сам процесс развития распределенных КРСОИ с точки зрения рациональной формы представления информации носит циклический спиралевидный характер (см. рис. 3). Концептуально каждый виток (цикл) данной спирали характеризует:

- первичное повышение производительности и функциональности систем обработки информации за счет мемристивных устройств начальной степени интеграции с аналоговой формой представления данных;
- первичное развитие интегральных технологий, повышение степени интеграции, уменьшение топологических размеров, потребляемой мощности, повышение производительности систем за счет распараллеливания процесса обработки данных;
- первоначальное снижение основных функциональных показателей высокоинтегрированных мемристивных устройств с уменьшенными топологическими размерами (воспроизводимость и разброс параметров, стабильность, динамический диапазон, температурная и радиационная стойкость и т.п.);
- переход на облегченный режим работы мемристивных элементов с более узким динамическим и частотным диапазоном, сокращение уровней представления данных в многоуровневой логике вплоть до двух для достижения требуемого уровня воспроизводимости параметров массово параллельных систем, их надежности;
- дальнейшее совершенствование интегральных технологий и методов архитектурного, структурного, функционального и схемотехнического проектирования, переход на новые материалы, новые физические принципы мемристивной обработки данных;
- повышение воспроизводимости и стабильности параметров мемристивных устройств в массово параллельных интегрированных системах обработки данных на существующем уровне технологической интеграции;
- вторичное повышение производительности и интеллектуальности уже существующих систем за счет перехода на многоуровневую и аналоговую формы представления данных;
- переход на следующий виток спирали по мере развития технологического уровня, степени и размерности интеграции распределенных интеллектуальных систем обработки больших объемов информации в крупномасштабных применениях.

Примером одного из таких переходов является FLASH-память. Существенное кратное увеличение ее объемов достигается за счет совершенствования технологии ее производства, повышения стабильности электрических параметров ее элементов и перехода на все более многозначную форму представления сохраняемой в каждой ячейке информации (двухзначная, трехзначная, пятизначная, ...).

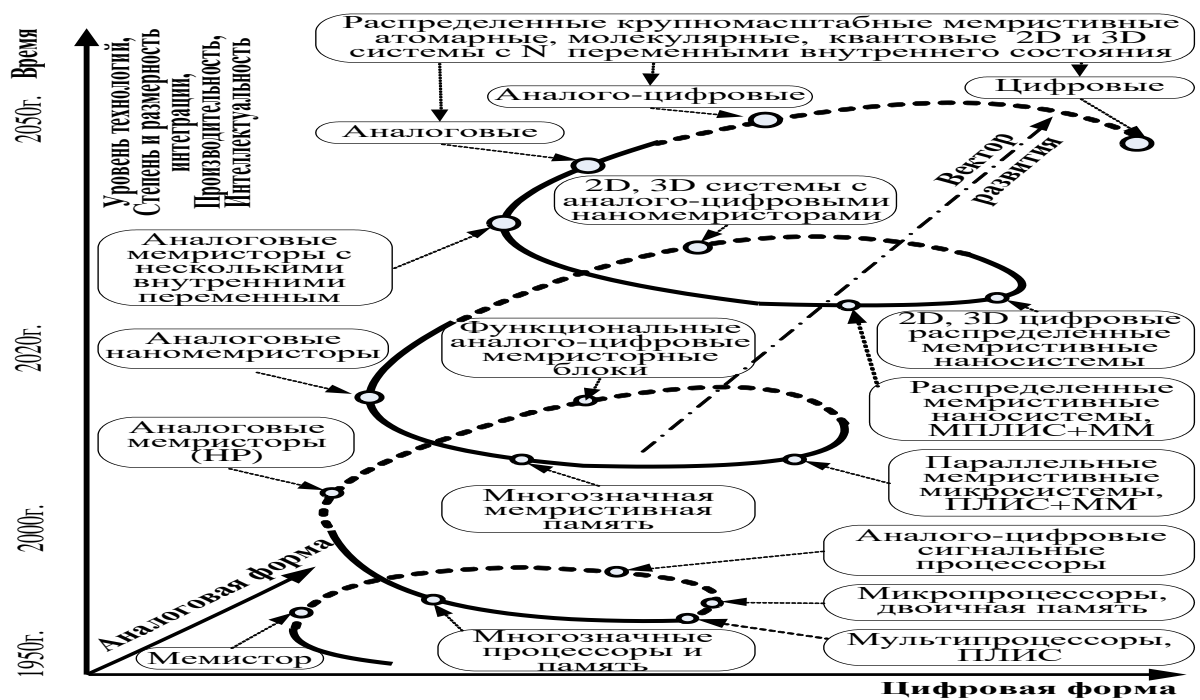


Рис. 3. Концептуальная иллюстрация спиралевидного процесса развития распределенных архитектур высокопроизводительного и интеллектуального анализа больших объемов информации

3.2 Внедрение гибридной технологии при развитии распределенных аналого-цифровых структур обработки данных

Гибридные технологии предоставляют разработчику распределенных КРСОИ расширенные возможности по реализации свойств пластичности на всех уровнях иерархии вычислительной системы и масштабированию последней на современном уровне развития интегральных технологий [4, 5, 13]. Гибридные технологии подразумевают:

- совмещение аналоговых, цифровых, многоуровневых стандартных CMOS элементов на едином интегральном носителе;
- реализация аналоговых, цифровых, многоуровневых функциональных элементов на мемристивных структурах, совмещение стандартных CMOS элементов с мемристивными элементами в едином технологическом процессе;
- совмещение стандартных репрограммируемых аналого-цифровых CMOS систем с мемристивными аналого-цифровыми системами на едином носителе.

Современные цифровые реконфигурируемые матрицы (например, ПЛИС [19]) характеризуются двухмерным внутренним гомогенным распределением функциональных узлов агентов (логические узлы, элементы памяти) на поверхности кристалла интегральной схемы, что обеспечивает свободную топологическую (пространственно-временную) адаптацию КРСОИ, однако имеют ограниченные трассировочные возможности, что приводит к доминирующему локальному взаимодействию между ВЯ₂ (в терминах полосы пропускания, временной задержки).

Анализ современных тенденций развития ПЛИС и мемристивных систем обработки информации позволил выделить некоторые общие тенденции их совместного развития: 2D и 3D интеграция цифровых и аналоговых функциональных элементов на носителях различного типа на уровне функциональных элементов на кристалле, матриц функциональных элементов на кристалле, матрицы кристаллов на единой подложке.

Масштабирование гибридных КРСОИ основывается на пространственной мультипликации системы элементарного уровня (интегрированная 2D или 3D аналого-цифровая структура) и использовании широкополосных последовательно/параллельных локальных и глобальных интерфейсов ПЛИС, сетевых ASIC. Развитие структуры КРСОИ в процессе самоорганизации осуществляется в рабочем режиме как за счет адаптации функциональности ВЯ и связей между ними, так и за счет частичной или полной реконфигурации интегральной схемы.

Экспериментальное исследование гибридной нейроподобной КРСОИ на основе репрограммируемых ПЛИС и матриц функциональных аналого-цифровых элементов со встроенной

памятью подтвердило возможность реализации «интеллектуальных» свойств системы на определенном уровне масштабирования. Анализ спектра электрической активности нейроподобных ВЯ КРСОИ при обработке речевой информации выявил наличие «розового» шума (см. рис. 4), что может служить подтверждением образования фрактальной структуры [20] в процессе самоорганизации КРСОИ, реализации определенного уровня «интеллектуальности» [21-24]. Таким образом, самоорганизация является не только свойством высоконадежных сетей, но и эффективным методом структурного развития (проектирования) при масштабировании аналого-цифровых КРСОИ на базе гибридных технологий для высокопроизводительной, широкополосной обработки больших объемов данных с малой временной задержкой.

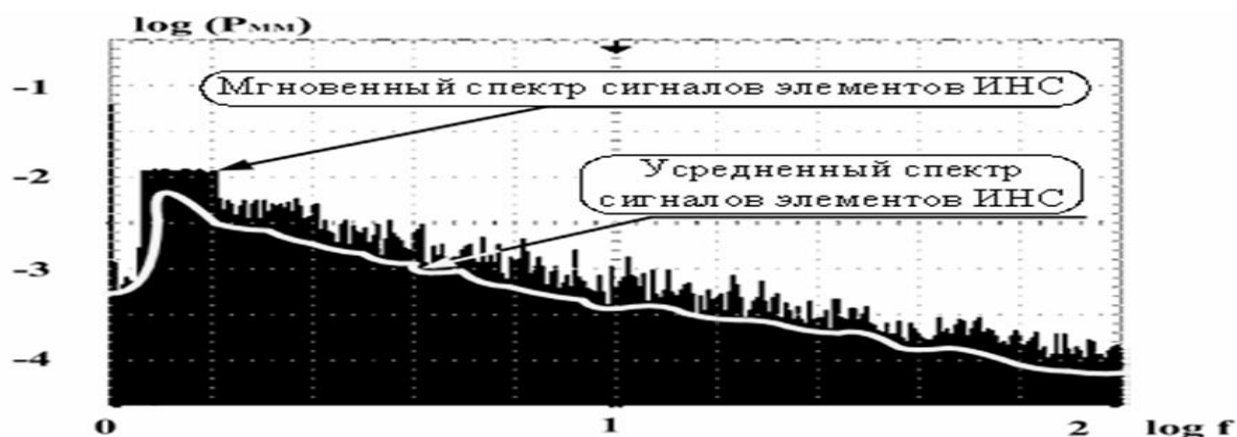


Рис. 4. Спектр сигналов электрической активности гибридной КРСОИ

Выводы

Таким образом, обоснованной тенденцией развития распределенных архитектур высокопроизводительного и интеллектуального анализа больших объемов информации для крупномасштабных применений в ближайшей перспективе являются иерархические аналого-цифровые системы на пластичных функциональных элементах со встроенной памятью. Реализация всех совокупных потенциальных возможностей перспективных архитектурных решений основывается на новых технологических, схмотехнических и топологических базисах гибридных технологий совмещения аналого-цифровых элементов со встроенной памятью и стандартных схем CMOS.

Литература

1. Alyushin A.V., Arkhangelsky V.G., Alyushin S.A. A scalable reconfigurable computing system with distributed memory for the analysis of large amounts of data // Proceedings of the 2018 Eleventh Int. Conf. "Management of large-scale system development" (MLSD), 2018, Moscow, Russia, IPS RAS, - P.1-5.
2. Alyushin A.V., Alyushin M.V., Alyushin S.A. Electronic neural net design methodology // Proceedings of the 5th. Int. Conf. and Exhibition "Digital signal processing and its applications", Moscow, Russia, March 12-14, 2003. - P.585-587.
3. Alyushin A.V., Alyushin S.A., Arkhangelsky V.G. Scalable processor core for high-speed pattern matching architecture on FPGA // Proceedings of The Third Int. Conf. on Digital Information Processing, Data Mining, and Wireless Communications (DIPDMWC2016), Higher School of Economics (National Research University), Moscow, Russia, July 06-08, 2016. - P.148-153.
4. Alyushin A.V., Arkhangelsky V.G., Alyushin S.A. Structural and schematic methods of projecting the properties of biological neuron networks on the architecture of modern integrated neuron-like systems with analog-digital information processing // Proceedings of the 2019 IEEE Conf. of Russian young researchers in electrical and electronic engineering (ElConRus), Jan. 28-31, 2019, to be published.
5. Alyushin A.V., Arkhangelsky V.G., Alyushin S.A. Self-organization in the development of scalable, "intellectual" structures on the basis of analog-digital nets of pulsed neurons for processing large amounts of information // Proceedings of the 2018 Eleventh Int. Conf. "Management of large-scale system development" (MLSD), 2018, Moscow, Russia, IPS RAS, - P.1-4.

6. *Alyushin A.V., Alyushin M.V., Alyushin S.A.* The net of pulsed neurons with the delay on the basis of the analog-digital field programmable integrated circuit // Proceedings of the 5th. Int. Conf. and Exhibition "Digital signal processing and its applications", Moscow, Russia, March 12-14, 2003. - P.582-585.
7. *Alyushin A.V., Arkhangelsky V.G., Alyushin S.A.* The projection of the biological neurons networks properties onto the integrated neuron-like systems architecture with analog-digital signal processing // Proceedings of 21h Int. Conf. Digital signal processing (DSPA – 2019), Moscow, Russia, March 27 – 29, IPS RAS, Vol. 3-4, - P.560-565.
8. *Alyushin A.V., Alyushin S.A., Arkhangelsky V.G.* High-speed pattern matching architecture on limited connectivity FPGA // Proceedings of the 11-th Int. Conf. on Application of information and communication technologies (AIST2017), Moscow, Russia, 20-22 September, 2017. - P.57–62.
9. *Алюшин А.В., Алюшин С.А., Архангельский В.Г.* Табличные процессоры с широкополосным доступом к памяти FPGA // Естественные и технические науки. 2017, №12. - С.263-265.
10. *Alyushin A.V., Alyushin S.A., Arkhangelsky V.G.* Bit-vector pattern matching systems on the base of high bandwidth FPGA memory // Proceedings of the IEEE Conf. of Russian young researchers in electronic engineering (ElConRus2018), Moscow, Russia, January 29-31, Part 2. 2018. - P.1342-1347.
11. *Chi P., et. al.* Prime: a novel processing-in-memory architecture for neural network computation in ReRam-based main memory // [Online]. Available: https://seal.ece.ucsb.edu/sites/default/files/publications/prime_isca_2016.pdf
12. *Mittal S.* A survey of ReRAM-based architectures for processing-in-memory and neural networks. 2018, [Online]. Available: www.mdpi.com/journal/make1010005
13. *Arkhangelsky V.G., Alyushin A.V., Alyushin S.A.* Scalable reconfigurable Memristive synaptic structures as the basis of the mechanisms of plasticity in the developing and self-organizing networks of artificial pulsed neurons // Proceedings of the 2019 IEEE Conf. of Russian young researchers in electrical and electronic engineering (ElConRus), Jan. 28-31, 2019, to be published.
14. *Arkhangelsky V.G., Alyushin A.V., Alyushin S.A.* Adaptive signal processing in a scalable and reconfigurable memristive synaptic structures for pulsed neurons artificial networks // Proceedings of 21h Int. Conf. Digital signal processing (DSPA – 2019), Moscow, Russia, March 27 – 29, IPS RAS, Vol. 3-4, - P.554-559.
15. *Chua L.O., Kang S.M.* Memristive devices and systems // Proc. IEEE 64(2), 1976, - P.209-223.
16. *Alyushin A.V., Arkhangelsky V.G., Alyushin S.A.* Memristive element functional model for the analysis and hardware emulation of highly integrated neural signal processing systems // Proceedings of 21h Int. Conf. Digital signal processing (DSPA – 2019), Moscow, Russia, March 27 – 29, IPS RAS, Vol. 3-4, -P.418-423.
17. *Alyushin A.V., Arkhangelsky V.G., Alyushin S.A.* Functional model of Memristive element for computer-based analysis and hardware emulation of adaptive networks of pulsed neurons // Proceedings of the 2019 IEEE Conf. of Russian young researchers in electrical and electronic engineering (ElConRus), Jan. 28-31, 2019, to be published.
18. PSpice A/D. www.pspice.com
19. UltraScale architecture and product data sheet: overview, DS890 (v3.0) October 3, 2017, [Online]. Available: <https://plis2.ru/fpga/documentation/ds890-ultrascale-overview.pdf>
20. *Vac P., Tang C., Wiesenfeld K.* Self-organized criticality: an explanation of 1/f noise // Phys. Rev. Lett., V. 59 (4), 1987. - P.381-384.
21. *Алюшин А.В., Алюшин С.А., Архангельский В.Г.* Спектр сигналов электрической активности гибридной нейросети // Естественные и технические науки. 2016, № 12 (102). – С.260-262.
22. *Alyushin A.V., Alyushin S.A., Arkhangelsky V.G.* Electrical activity signal spectrum of the artificial neural net on the base of pulsed neurons and memristors // Proceedings of the IEEE Conf. of Russian young researchers in electronic engineering (ElConRus2018), Moscow, Russia, January 29-31, Part 2. 2018. - P.1856-1862.
23. *Alyushin A.V., Alyushin S.A., Arkhangelsky V.G.* Development and analysis of analog-digital neural net for speech stress detection // Proceedings of the IEEE Conf. of Russian young researchers in electronic engineering (ElConRus2018), Moscow, Russia, January 29-31, Part 2. 2018. - P.1817-1822.
24. *Алюшин А.В., Алюшин С.А.* Фрактальные нейронные сети на основе импульсных нейронов и мемристоров // Научный альманах. 2016, N 10-3(24). – С.22-25.